

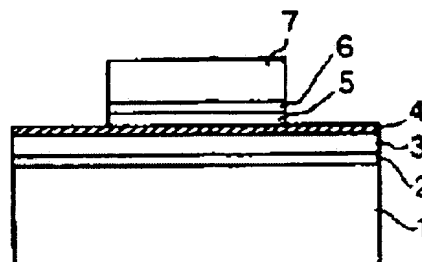
SUBSTRATE FOR PLACING SEMICONDUCTOR ELEMENT

特許公報番号 JP61194842
公報発行日 1986-08-29
発明者: YASHIKI TETSUO; YOSHIOKA TAKESHI; DOI AKIRA
出願人 SUMITOMO ELECTRIC INDUSTRIES
分類:
一国際: H01L21/52; H01L21/58; H01L23/14; H01L21/02;
H01L23/12; (IPC1-7): H01L21/58
一欧州: H01L21/58
出願番号 JP19850036141 19850225
優先権主張番号: JP19850036141 19850225

ここにデータエラーを報告してください

要約 JP61194842

PURPOSE: To obtain a substrate which has both excellent heat dissipation efficiency and electric insulation by improving the composition of Cu-W or Cu-Mo alloy, and bonding a W or Mo plate having an insulating layer to the alloy. **CONSTITUTION:** A W or Mo plate 3 is bonded through a brazing layer 2 on a main metal plate 1 of Cu-W or Cu-Mo alloy, and an electrically insulating coating layer 4 is formed thereon. A semiconductor element 7 is placed through a metallized layer 5 and an Au plating layer 6. The W alloy contains 1-40wt% of Cu, $4.0-12.0 \times 10^{-6} / \text{deg.C}$ of thermal expansion coefficient, and 0.4cal/cm.sec. deg.C or higher of thermal conductivity. The Mo alloy contains 1-50wt% of Cu, $5.0-12.0 \times 10^{-6} / \text{deg.C}$ of thermal expansion coefficient, and 0.35cal/cm.sec. deg.C or higher of thermal conductivity.



esp@cenet データベースから供給されたデータ - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-194842

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)8月29日

H 01 L 21/58

6732-5F

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体素子搭載用基板

⑮ 特 願 昭60-36141

⑯ 出 願 昭60(1985)2月25日

⑰ 発 明 者 矢 敷 哲 男 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

⑱ 発 明 者 吉 岡 剛 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

⑲ 発 明 者 土 居 陽 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内

⑳ 出 願 人 住友電気工業株式会社 大阪市東区北浜5丁目15番地

㉑ 代 理 人 弁理士 新居 正彦

明 細 書

1. 発明の名称 半導体素子搭載用基板

2. 特許請求の範囲

(1) Cuを1~40wt%含有し、熱膨張係数が $4.0 \sim 12.0 \times 10^{-6}/^{\circ}\text{C}$ で、熱伝導率が $0.40 \text{ cal/cm}\cdot\text{sec}\cdot^{\circ}\text{C}$ で以上を有するW合金又はCuを1~50wt%含有し、熱膨張係数が $5.0 \sim 12.0 \times 10^{-6}/^{\circ}\text{C}$ で、熱伝導度が $0.35 \text{ cal/cm}\cdot\text{sec}\cdot^{\circ}\text{C}$ で以上を有するMo合金からなる主金属板と、これと張り合わせた、少なくとも表面の一部に電気絶縁性の無機物質から成る厚さ $0.1 \sim 20 \mu\text{m}$ の被覆層を有する厚さ $30 \sim 100 \mu\text{m}$ のW板又はMo板とを含むことを特徴とする半導体素子搭載用基板。

(2) 前記主金属板が粉末焼結法により製造された合金であることを特徴とする特許請求の範囲第(1)項記載の半導体素子搭載用基板。

(3) 前記W板又はMo板への被覆層の形成が、該W板またはMo板を主金属板に張り合わせる前に行な

われることを特徴とする特許請求の範囲第(1)項または第(2)項に記載の半導体素子搭載用基板。

(4) 前記W板又はMo板への被覆層の形成が、これらを主金属板に張り合わせた後に行なわれることを特徴とする特許請求の範囲第(1)項または第(2)項に記載の半導体素子搭載用基板。

(5) 前記被覆層がBN、 Al_2O_3 、AlN、 Si_3N_4 、 Y_2O_3 、 $2\text{MgO}\cdot\text{SiO}_2$ 、ダイヤモンド及び、アモルファス状のダイヤモンドであるいわゆるi-カーボンからなる群から選ばれる1種又はそれらの積層体であることを特徴とする特許請求の範囲第(1)~(4)項のいずれか1項に記載の半導体素子搭載用基板。

3. 発明の詳細な説明

本発明は、集積回路装置の半導体素子搭載用基板に関するものであり、更に詳しくは半導体素子に発生する熱を効率よく放熱し得ると共に基板材料本来の特性である素子との熱膨張係数が近似し、しかも優れた電気絶縁性を有する半導体素子搭載

用基板に関するものである。

従来の技術

半導体装置、これらを利用する装置、機器では、半導体素子、抵抗器類、コイル類等における発熱のために複雑な熱系を構成するが、このような熱は各種熱伝導様式、例えば熱伝導、熱輻射、対流等により装置外に放出されることになる。

一般に、半導体素子には特性上並びに信頼性の点から最大限度許される温度（最高許容温度）があり、また、雑音余裕の点からも素子内あるいは素子相互間の温度差にも許容範囲が存在する。

従って、これら素子等を安定かつ信頼性よく動作させるべく、最高の熱設計を行うことは、半導体装置等の設計、製作において極めて重要なことである。

更に、近年、半導体素子の高速化、高密度化、大型化の動向がみられ、それに伴い半導体素子の発熱量の増大が大きな問題となっており、そこで、半導体装置用基板についても、放熱性の改良、即ち基板全体としての板厚方向の熱伝導性のより一

層の改良が要求されている。そのために、半導体装置用基板については、同時に高い電気絶縁性と、高い放熱性とを有することが要求されることになる。

半導体デバイス、特に集積回路のうちで、高信頼性を必要とするものには、低融点ガラス、セラミックパッケージや多層セラミックパッケージなどのパッケージ法が従来から用いられている。

しかしながら、近年集積回路素子についても高密度化及び大型化が進行し、これに伴って半導体素子からの発熱量の増大がもたらされ、基板材料に対する放熱性の要求がますます大きくなりつつある。

従来、このような要求を満たす材料としては、Cuを1～40wt%含有するW合金又はCuを1～50wt%含有するMo合金が用いられ、これらはその少なくとも表面の一部に電気絶縁層を形成して、半導体素子搭載用基板として使用されていた。

しかし乍ら、これらのCu-W合金あるいはCu-Mo合金は、W又はMoとCuという機械的性質の著し

く異なる2相の混成組織を有しており、又、数%という大きな気孔率を有している為に、たとえ研磨を行なったとしても1μm以内の表面粗度に仕上げる事は極めて困難であった。この為、これらの合金上に形成した被覆層（電気絶縁層）にはピンホールやクラックが発生し易く、従って半導体素子搭載用基板としては、品質の安定性に於て不充分であった。

発明が解決しようとする問題点

以上述べてきたように、半導体装置、特に集積回路等の設計・製作においては、その大型化、高速化、高密度化等の指向がみられ、それに伴って発熱量の増大の問題が顕在化した。これは素子の高速化、高密度化等と平行して解決すべき重要な課題である。そこで、特に半導体装置用基板については、高い電気絶縁性と高い放熱性とを併せ持つことが要求されるようになってきている。しかしながら、従来公知のものはいずれもこれら2つの要求を同時に満足するものではなく、また、各種改善も試みられたが、一方の特性を改善しよ

うとすれば他方の特性が阻害されることとなるなど、いままでのところ前記要求に合致する特性の半導体装置用基板は知られていない。

尚、特に上記のCu-WあるいはMo合金では機械特性の著しく異なる2相の混成組織を有しているために、また気孔率が大いいために、電気絶縁層の形成の際ピンホールやクラックが発生するといった問題がみられた。

このような要求を満たす基板を開発することは、高速化、高密度化の図られた半導体素子の安定性並びに信頼性を保証する上で極めて重要であり、また、実際にもこのような基板の開発に対する大きな要望がある。

そこで、本発明の目的は、上記従来法の欠点を解消し、半導体素子の発する熱を効率よく放出し得、しかも電気絶縁性にも優れた半導体装置搭載用基板を提供することにある。即ち、従来のセラミックス基板に代る放熱性が良好で品質の安定性に優れた半導体素子搭載用基板を提供せんとするものである。

問題点を解決するための手段

本発明者等は半導体装置搭載用基板の上記のような現状に鑑みて、目的とする基板を開発すべく種々検討、研究した結果、上記Cu-WまたはMo合金の組成を改善し、これに絶縁層を有するW板またはMo板をはり合わせた構成とすることが有利であることに着目し本発明を完成した。

すなわち、本発明の半導体素子搭載用基板は、Cuを1~40wt%含有し、熱膨張係数が $4.0 \sim 12.0 \times 10^{-6}/^{\circ}\text{C}$ 、熱伝導率が $0.40 \text{ cal/cm}\cdot\text{sec}\cdot^{\circ}\text{C}$ 以上を有するW合金又はCuを1~50wt%含有し、熱膨張係数が $5.0 \sim 12.0 \times 10^{-6}/^{\circ}\text{C}$ 、熱伝導度が $0.35 \text{ cal/cm}\cdot\text{sec}\cdot^{\circ}\text{C}$ 以上を有するMo合金からなる主金属板と、その上に張り合わされた、少なくとも表面の一部に電気絶縁性の無機物質から成る厚さ $0.1 \sim 20 \mu\text{m}$ の被覆層を有する厚さ $30 \sim 100 \mu$ のW板又はMo板とを含むことを特徴とする。

本発明の半導体素子搭載用基板において、前記主金属板は各種の公知の方法に従って形成することができるが、特に粉末焼結法に従って製造する

ことが好ましく、これによって後のMo板、W板との張り合わせ操作が容易になる。

本発明の半導体素子搭載用基板の作製に際し、W板またはMo板には電気絶縁層のコーティングを行うが、これは該W板またはMo板をCu-WまたはCu-Mo合金からなる主金属板と張り合わせる前、あるいはその後のいずれの段階で行ってもよい。該絶縁層材料としては、例えばBN、 Al_2O_3 、 AlN 、 Si_3N_4 、 Y_2O_3 、 $2\text{MgO}\cdot\text{SiO}_2$ 、ダイヤモンドおよびアモルファス状のダイヤモンドであるいわゆるi-カーボンなどからなる群から選ばれる1種の無機絶縁材料であり得、また種類の異なる複数の層で構成される積層体とすることも可能である。これらは回路基板の要求特性に応じて、適宜選択され、組合せられて使用される。

この被覆層は従来公知の各種薄膜形成法、即ち、真空蒸着法、CVD法、プラズマCVD法、スパッタ法、金属蒸着膜の熱酸化法などの中から、材料の性質、種類に応じて最速の方法を選び実施することができる。例えば Si_3N_4 、 SiO_2 、 Al_2O_3 など

はプラズマCVD法により形成され、 Al_2O_3 、 SiO_2 などは熱酸化により形成することができる。尚、本発明においては各種PVD法、CVD法等の気相蒸着法を利用することが好ましい。

以下、添付図面に基づき本発明の基板を更に詳しく説明する。

第1図及び第2図は本発明の基板を用いて半導体素子を搭載した半導体装置の断面図であり、第1図はその1態様を示すものである。図から明らかなように、第1の態様では、基板はCu-W合金又はCu-Mo合金の主金属板1と、その上に離付け図2を介して接合されたW板又はMo板3と、電気絶縁用被覆層4とから構成され、これにメタライズ層5およびAuメッキ層6を介して半導体素子7が搭載されている。

一方、第2図は本発明の基板のもう一つの態様を示すものであり、そこではW板またはMo板3は表・裏両面が電気絶縁層4で覆われており、またそのために離付け層2と絶縁層4との間にはメタライズ層5'が配置されている。これ以外について

は第1図と同様である。

主金属板とW板又はMo板の接合は、W板又はMo板に被覆層を形成する前に張り合わせる場合(第1図)には、クラディングか又は銀鍍又はパラジウム鍍等を用いたブレージングで行い、またW板又はMo板に被覆層を形成した後に張り合わせる場合(第2図)には、被覆層の表面をNi等の金属でメタライズした後に銀鍍又はパラジウム鍍等を用いたブレージングで行なうことが好ましい。尚、ブレージングの際に鍍が流れにくい場合には、主金属板やW板、Mo板上にNi等の金属層を湿式もしくは気相メッキで形成してもかまわない。

本発明の半導体素子搭載用基板は、最近特に大型化、高密度化の傾向が著しく、そのため発熱量も大きなものとなっている集積回路用基板として応用することが好ましいが、これのみに制限されるものではなく、その他の各種半導体デバイス用基板として使用し得ることはいうまでもない。

作用

かくして、本発明の半導体素子搭載用基板によれば、該基板の主金属板1の組成を特定の範囲とし、またこれとW板又はMo板とクラディングもしくはブレージングにより接合し、更にW板又はMo板の少なくとも一部に電気絶縁性被覆層を形成したという特徴に基づき、従来問題となっていた、前記被覆層にピンホール並びにクラックが発生するなどの問題がほぼ解決でき、従って従来のセラミックス基板に代わる放熱特性良好な、安定した品質の優れた半導体搭載用基板を得ることができる。その結果、IC等の半導体デバイスの熱損傷を大巾に減じることができるので、その信頼性並びに歩留りを大きく改善することが可能となる。

以上のような観点から、本発明の半導体搭載用基板において、まず主金属板としてのCu-W又はCu-Mo合金組成即ちCu含量は臨界的である。これは、主金属板の物性、即ち熱膨張係数、熱伝率等とも密接な関係を有し、主金属板の該物性を所定の範囲内の値に維持するためには、Cu-W合金にあって

はCu含量は1~40wt%の範囲であり、またCu-Mo合金にあっては1~50wt%の範囲である。

ここで、熱膨張係数に係わる要求は半導体素子の膨張率との整合性を保証するために必要であり、また熱伝導性に対する要求は基板自身の放熱効率を確保するために必要な条件である。

更に、本発明においてW板又はMo板の厚みを30~100 μ mと限定したのは、該下限に満たない厚みのW板及びMo板は工業的に安価に製造し得ないからであり、また上限を越える厚さとした場合には、半導体素子搭載用基板としての熱膨張係数、熱伝導度が、主金属板のCu-W合金又はCu-Mo合金の特性から著しくかけ離れてしまうからである。

更に、被覆層の厚みを0.1~20 μ mと限定したのは、該下限に満たない厚さとした場合には所定の電気絶縁性を得ることができず、また上限を越える厚さとした場合には被覆の為のコストが著しく大きくなり、経済性の面で実用性が乏しいためである。

本発明において主金属板Cu-WおよびCu-Moに

対して、W板またはMo板のいずれを接合してもよいが、これら両者の物性を考慮すれば、Cu-Wに対してはW板を、またCu-Moに対してはMo板を接合したものが物性の点ではより好ましい。

実施例

以下、実施例(作製例)により本発明の基板を更に具体的に説明する。ただし、以下の作製例により本発明の範囲は何等制限されない。

作製例1

GaAs半導体素子を搭載する為の、Si₃N₄薄膜を被覆した半導体素子搭載用基板を以下の方法で作製した。

15wt%のCuを含有するCu-W合金の主金属板上に、厚さ50 μ mのMo板をパラジウム鹽を用いて接合し、かくして接合した基板のW板上にプラズマCVD法を用いて厚さ30 μ mのSi₃N₄膜を形成した。

以上の結果、500V以上の絶縁耐圧を有し、ピンホールの全く無い絶縁体薄膜を密着性良く被覆

した、熱膨張係数が搭載すべきGaAs素子と近似し、かつ熱放散性に優れた半導体素子搭載用基板を得る事が出来た(基板の熱膨張係数=7.9 $\times 10^{-6}$ /℃ GaAs素子の熱膨張係数=6.7 $\times 10^{-6}$ /℃)。

作製例2

Si半導体素子を搭載する為の、Al₂O₃薄膜を被覆した半導体素子搭載用基板を以下の方法で作成した。

まず、10wt%のCuを含有するCu-Mo合金の主金属板を、湿式法によりNiメッキした。次いで、予めイオンプレーティング法によって2 μ mのAl₂O₃で両面を被覆し、その一方の面をNiメタライズしたMo板を該Niメッキによりメタライズ層を施した主金属板上に銀鹽によって張り合わせた。

かくして、300V以上の絶縁耐圧を有し、かつピンホールの全く無い絶縁性薄膜で密着性良く被覆された、熱膨張係数が搭載すべきSi半導体素子と近似しており、熱放散性においても優れた半導体素子搭載用基板を得る事が出来た。

上記材料をSiチップの搭載部の基板材料として

用いたICパッケージでは、IC実装工程でのSiチップや他の外周基材である Al_2O_3 等との熱膨張係数の差が小さい為に何ら熱歪を生じず、又、デバイスとしては熱放散性が極めて良好である為に寿命が伸び、信頼性の優れたICを得る事が出来た（基板の熱膨張係数 $=5.3 \times 10^{-6}/^{\circ}C$ 、Siチップの熱膨張係数 $=4.0 \times 10^{-6}/^{\circ}C$ ）。

発明の効果

以上詳しく説明したように、本発明の半導体素子搭載用基板によれば、上記のような構成、材料組成としたことに基づき、従来のものと比較して、熱膨張率および熱伝導率に関し著しく改善された。従って、本発明によれば半導体デバイスの熱設計を最適化する上で、極めて有利な基板が提供されることになる。最近の半導体デバイスにおいてみられる大型化、高密度化の傾向に伴う、集積回路等の放熱特性の改善が可能となり、また同時に高い電気絶縁性、即ち高い絶縁耐圧も保証されることとなり、半導体デバイスの前記動向に極めて適した基板が得られる。

更に、熱膨張率の差、高い気孔率などに基づき、形成される電気絶縁層のピンホール、クラック発生などといった欠陥がなくなり、基板の信頼性、製造歩留りが大巾に向上し、製造コストも低減し得る。

4. 図面の簡単な説明

第1図は本発明の第1の態様による基板を用いた半導体装置の模式的な断面図であり、

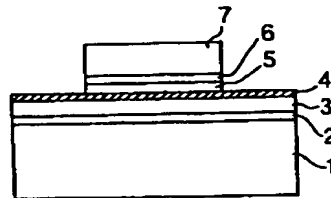
第2図は本発明の別の態様に係る基板を用いた第1図と同様な図である。

(主な参照番号)

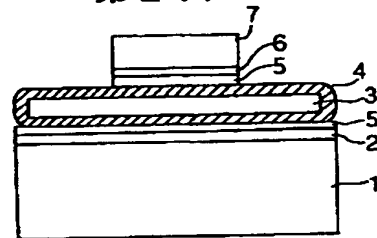
- 1・・・Cu-W又はCu-Mo合金の主金属板、
- 2・・・接合層、 3・・・W板又はMo板、
- 4・・・被覆層、 5, 5'・・・メタライズ層、
- 6・・・Auメッキ層、 7・・・半導体素子

特許出願人 住友電気工業株式会社
代理人 弁理士 新居 正彦

第1図



第2図



- | | |
|------------|---------------|
| 1: 主金属板 | 5, 5': メタライズ層 |
| 2: 接合層 | 6: Auメッキ層 |
| 3: W板又はMo板 | 7: 半導体素子 |
| 4: 絶縁被覆層 | |